

## MANUFACTURE OF SILICON WAFER

Patent Number: JP8045944  
Publication date: 1996-02-16  
Inventor(s): FUJIKAWA TAKASHI; others: 02  
Applicant(s): SUMITOMO SITIX CORP  
Requested Patent: ☐ JP8045944  
Application Number: JP19940179044 19940729  
Priority Number(s):  
IPC Classification: H01L21/322; H01L21/324  
EC Classification:  
Equivalents:

---

### Abstract

---

**PURPOSE:** To provide a method of manufacturing a silicon wafer which is lessened in BMD density in an LSI device thermal treatment, wherein a trouble that BMD is excessively produced is solved by a conventional PBS technique.  
**CONSTITUTION:** Single crystal silicon grown through a CZ method is formed into a silicon wafer possessed of a polycrystalline silicon film on its rear surface in a silicon wafer manufacturing process, wherein a thermal treatment is carried out in an oxidizing atmosphere or a non-oxidizing atmosphere at a temperature range of 800 to 1100 deg.C for 30 to 120 minutes before a polycrystalline silicon film growth process is performed.

---

Data supplied from the esp@cenet database - I2

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-45944

(43)公開日 平成8年(1996)2月16日

(51)Int.Cl.<sup>6</sup>

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 21/322

P

21/324

Z

審査請求 未請求 請求項の数 1 O L (全 5 頁)

(21)出願番号 特願平6-179044

(22)出願日 平成6年(1994)7月29日

(71)出願人 000205351

住友シチックス株式会社

兵庫県尼崎市東浜町1番地

(72)発明者 藤川 孝

佐賀県杵島郡江北町大字上小田2201番地

住友シチックス株式会社九州事業所内

(72)発明者 三浦 友紀

佐賀県杵島郡江北町大字上小田2201番地

住友シチックス株式会社九州事業所内

(72)発明者 永嶋 透

佐賀県杵島郡江北町大字上小田2201番地

住友シチックス株式会社九州事業所内

(74)代理人 弁理士 森 正澄

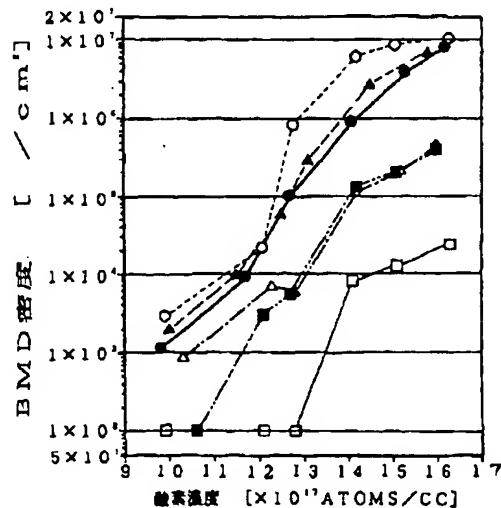
(54)【発明の名称】 シリコンウェーハの製造方法

(57)【要約】

【目的】 従来のPBS技術により過度にBMDが発生する不具合を解消し、LSIデバイスプロセス熱処理時に低BMD密度となるシリコンウェーハの製造方法を提供すること。

【構成】 CZ法により育成された単結晶シリコンから、裏面側に多結晶シリコン膜を有するシリコンウェーハを製造する際に、前記多結晶シリコン膜の成長工程の前工程において、800～1100℃の温度範囲で30～120分間、酸化もしくは非酸化雰囲気において熱処理を行うシリコンウェーハの製造方法。

● PBS処理+デバイスプロセス相当熱処理 (改善前;従来品)  
○ 850℃×1HR+PBS処理+デバイスプロセス相当熱処理  
▲ 775℃×1HR+PBS処理+デバイスプロセス相当熱処理  
△ 800℃×1HR+PBS処理+デバイスプロセス相当熱処理  
■ 1000℃×1HR+PBS処理+デバイスプロセス相当熱処理  
□ 1200℃×1HR+PBS処理+デバイスプロセス相当熱処理



## 【特許請求の範囲】

【請求項1】 CZ法により育成された単結晶シリコンから、裏面側に多結晶シリコン膜を有するシリコンウェーハを製造する際に、前記多結晶シリコン膜の成長工程の前工程において、800～1100℃の温度範囲で30～120分間、酸化もしくは非酸化雰囲気において熱処理を行なうことを特徴とするシリコンウェーハの製造方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、超LSIデバイス等の製造に用いられる多結晶シリコン膜付きのシリコンウェーハの酸素析出物の密度を、LSIデバイスプロセス熱処理時に低密度にすることができるシリコンウェーハの製造方法に関する。

## 【0002】

【従来の技術】一般に、LSIや超LSIなどの半導体デバイス素子の製造には、その基板としてCZ法（チョクラスキー法）によって育成された単結晶シリコンから所定の板厚で切り出されたシリコンウェーハが用いられている。

【0003】また、近年の半導体デバイス素子においては、デバイスの集積度の増大が著しく、これに伴って、より一層の高品質なシリコンウェーハが要求されていることから、デバイス製造プロセスにおいて製造工程のクリーン化が進められたり、デバイスの電気的な活性領域となるシリコンウェーハの表面近傍の完全性をより高める努力が図られている。

【0004】上述したようなシリコンウェーハの表面近傍の完全性を確保するには、デバイスの信頼性や歩留りに悪影響を及ぼすシリコンウェーハの表面近傍のBMD（Bulk Micro Defect）、すなわち、熱処理によりシリコンウェーハ中に存在する酸素析出物（以下、BMDと称する）の密度を極力低減させることが重要となる。

【0005】このシリコンウェーハの表面近傍でのBMD密度は、シリコンウェーハの深い位置、すなわち、バルク中のBMD密度と比例関係にあり、上記深い位置でのBMD密度が増大すると、シリコンウェーハの表面近傍でのBMD密度も増加し、デバイスの信頼性や歩留りを向上させるには、上記深い位置におけるBMD密度をも低減させる必要がある。

【0006】また、同時に、デバイス製造工程では、例えば、Fe、Cu、Niなどの重金属不純物が混入してくる製造工程がいくつかあるため、これらの重金属不純物はデバイスの活性領域でもありシリコンウェーハの表面に取込まれ、デバイスの特性を大きく低下させる原因となるため、重金属不純物が電気的な活性領域であるシリコンウェーハ表面に取込まれないように防止する必要がある。

【0007】そこで、従来においては、このようなバルク中のBMD密度を制御し、且つ、デバイス製造工程で発生する重金属不純物をシリコンウェーハ表面に取込まないようにする方法の代表的な一つとして、例えばDZ-IG（Denuded Zone-Intrinsic Gettering）処理と呼ばれるシリコンウェーハの製造方法が採用されている。

【0008】この方法においては、まず、1100～1250℃近辺の温度で1～8時間程度の高温熱処理（これをDZ処理という）を行い、シリコンウェーハ表面近傍の酸素を拡散させ、表面近傍のBMD密度を減少させる。

【0009】その後、500～900℃近辺の温度で3～30時間程度の低温熱処理（IG処理という）を行い、シリコンウェーハの深い位置、すなわち、約30～50μm以上の深さのみにBMDを形成する。

【0010】この方法は、BMDが重金属不純物を捕獲する性質を有するため、この性質を利用してデバイスでの重金属不純物を捕獲させる技術として知られている。

【0011】また、上記DZ-IG技術と同時に通常のシリコンウェーハには、サンドブラスト法と呼ばれる処理が施されるのが一般的である。

【0012】このサンドブラスト法では、SiO<sub>2</sub>の砥粒をジェットノズルから空気圧により噴射させ、ウェーハ裏面側に歪を付けてやり、その歪に重金属不純物を捕獲させようとしている。

## 【0013】

【発明が解決しようとする課題】しかしながら、上記したBMDの性質を利用してデバイスでの重金属不純物を捕獲させるDZ-IG技術においては、以下のような問題がある。

【0014】すなわち、DZ-IG技術においては、1100～1250℃程度の高温熱処理を行うために、シリコンウェーハ表面近傍の酸素濃度の低下を生じさせ、ウェーハ表面の完全性を確保しているが、低酸素の場合には強度的に弱くなり、極度の弾性変形や塑性変形をおこしやすくなってしまう問題がある。

【0015】また、一方では、半導体基板の低酸素化は表面の完全性を向上させる酸化膜耐圧やリーク特性を向上させるために、低酸素基板の検討が急速に最近なされるようになってきている。

【0016】さらに、コスト的な問題からもDZ-IG法に代わる低酸素基板が必要である。

【0017】しかしながら、低酸素基板になると、重金属不純物を捕獲することが難しくなり、従来のDZ-IG法に代わる捕獲方法が必要となり、これに対してはPBS（PolySilicon Back Seal）技術が以前より検討されている。

【0018】上記PBSとは、シリコンウェーハの裏面側に形成される、多結晶シリコン膜をいい、PBS技術

3

とは、シリコンウェーハの裏面側に0.5～1.5 $\mu$ m程度の多結晶シリコン膜を成長させ、この膜の粒界に重金属不純物を捕獲させる技術をいう。

【0019】このPBS技術によれば、SiO<sub>2</sub>砥液を使用せずに済み、デバイス製造プロセスのクリーン度を低下させるおそれがない。

【0020】しかしながら、酸素濃度が $1.3 \times 10^{17}$  atoms/ccのシリコンウェーハを用いてPBSを成長させると、BMD密度が最も発生しやすい600～700℃近辺の温度に1～4時間程度の熱処理が施されるために、その後のデバイス製造工程での熱処理によってBMD密度が増加してしまい、デバイスの活性領域であるシリコンウェーハの表面近傍の完全性を悪化させてしまうという不具合があった。

【0021】そこで、本発明は、上述した従来のPBS技術により過度にBMDが発生する不具合を解消し、LSIデバイスプロセス熱処理時に低BMD密度となるシリコンウェーハの製造方法を提供することを目的としている。

【0022】

【課題を解決するための手段】本発明に係るシリコンウェーハの製造方法は、CZ法により育成された単結晶シリコンから、裏面側に多結晶シリコン膜を有するシリコンウェーハを製造する際に、前記多結晶シリコン膜の成長工程の前工程において、800～1100℃の温度範囲で30～120分間、酸化雰囲気、もしくは非酸化雰囲気において熱処理を行う構成とされている。

【0023】

【作用】CZ法により育成された単結晶シリコン中には酸素析出物(BMD)の発生源である酸素析出核が多く点在している。この酸素析出核は、一般に使用される温度範囲内において熱処理温度が高い程その密度が多くなり、逆に、熱処理温度が高い程その密度が少なくなることは周知の事実であり、特徴に、600～700℃近辺の熱処理温度を施すということは、BMD密度を増加させることになる。このようなことから、従来のように、600～700℃近辺の温度で多結晶シリコン膜(PBS)を成長させるということは、BMD密度を増加させていることになる。

【0024】そこで、裏面側に多結晶シリコン膜を有するシリコンウェーハを製造する際に、前記多結晶シリコン膜の成長工程の前工程において、800～1100℃の温度範囲で30～120分間、酸化雰囲気、もしくは非酸化雰囲気において熱処理を行った結果、低BMD密度のシリコンウェーハを製造することができた。

【0025】また、従来、酸素濃度が高い(およそ $1.4 \times 10^{17}$  atoms/cc)ために強度的に強いという大きなメリットがありながらPBS処理によりBMDが増加し、その後のデバイスプロセス熱処理によってBMDが顕在化し、シリコンウェーハ表面近傍の完全性を

4

悪化させてデバイスの特性を落とすとのことで基板としては使用されることの少なかったが、上述したように、これらの強度の上で優れた性質を持つ高酸素濃度のPBS付シリコンウェーハの使用をも可能となる。

【0026】

【実施例】以下に、本発明の一実施例を図面に基づいて説明する。

【0027】本実施例では、CZ法により育成された単結晶シリコンから、裏面側に多結晶シリコン膜を有するシリコンウェーハを製造し、このようなシリコンウェーハを製造する際に、多結晶シリコン膜の成長工程の前工程において、800～1100℃の温度範囲で、30～120分間の時間だけ、酸化雰囲気、もしくは非酸化雰囲気において熱処理を行うことにより、従来のPBS技術によって過度にBMDが発生する不具合を解消し、低BMD密度のシリコンウェーハを製造したものである。

【0028】このような低BMD密度のシリコンウェーハを製造するために、本実施例では、CZ法により育成された直径6インチの単結晶シリコンに、 $9.8 \sim 16.3 \times 10^{17}$  atoms/ccの酸素濃度を有する多結晶シリコン膜(PBS)の付いたシリコンウェーハ(改善前の比較品)と、PBS付着処理を行う前に650～1200℃の温度範囲のもとで、各温度に保持した酸化雰囲気の加熱炉に、スリップが発生しないと想定される速度として、100cm/min.～5cm/min.の速度で炉内に投入し、その後、0～240分の時間範囲で熱処理を行い、これらのシリコンウェーハを、上記比較品であるシリコンウェーハと同様のPBS付着処理を行った。

【0029】その後、上記比較品と本製品とに、共に、750～1200℃の熱処理条件を有する7ステップのデバイスプロセス相当のシミュレーション熱処理を施し、熱処理後にウェーハをへき開して片面5 $\mu$ mの選択エッチングを行い、光学顕微鏡によるウェーハの断面観察を行った。その結果の一例を図1及び図2に示す。

【0030】図1は、シリコンウェーハ中に含まれる初期酸素濃度とBMD密度の関係を各熱処理温度条件別に示したものである。この結果からわかるように、PBS処理を行う前に、650℃～775℃の熱処理を行ったシリコンウェーハの場合には、PBS処理のみを行った改善前のシリコンウェーハに比べ、更にBMD密度が増加していることが認められる。

【0031】また、800～1200℃の温度範囲で熱処理を行った場合には、各酸素濃度のウェーハでPBS処理のみの改善前のウェーハよりBMDが低減されていることがわかる。これは、775℃以下の温度における熱処理では酸素析出核の成長が促進されBMD密度が増加する一方で、800℃以上の温度における熱処理では酸素析出核を減少させBMD密度を減少させるものである。

5

【0032】図2は、BMD密度の熱処理時間に対する依存性を示す。この結果から800～1200℃の温度範囲において0～15分の短時間熱処理ではBMD密度は減少していないことがわかる。これは、短時間の熱処理では、BMDを減少させる前に炉内から出してしまうために減少効果がないことを意味している。

【0033】また、同様に熱処理時間が150分以上の長時間になると、BMDは増加してしまう。これは、長時間すなわち過度の熱処理は析出核の成長を助長させる働きをもっており、そのためにBMD密度を増加させてしまう危険性があることを意味している。

【0034】以上のように、本発明者は熱処理温度及び時間を適正条件に組合せることにより、BMD密度を低減できる方法を案出したものである。

【0035】尚、1125℃以上の熱処理を施したウェーハについても低BMD密度のシリコンウェーハの製造は可能であるが、X線解析装置を使ってスリップの発生具合を観察したところ、ウェーハ外周部より約15mm以内の範囲においてスリップが観察された。これらのことから、低BMDを製造する上で775℃未満および1125℃を越える温度範囲については製造上は不向きとなることがわかる。また、15分以下及び150分以上の時間範囲についても同様に不向きである。よって、800～1100℃の温度範囲内で、30～120分の時間範囲内における熱処理が効果的であることが確認された。

【0036】また、この処理によって上表面の完全性が保たれることを特性評価の一つである酸化膜耐圧測定に

6

て確認した。その結果、良好な酸化膜特性を示す低酸素結晶やDZ-IG結晶と比較しても同等の特性値を示し、問題がないことが確認された。

【0037】このように本実施例においては、PBS処理前に800～1100℃の温度範囲で30～120分の時間範囲で熱処理を施すことにより、低BMD密度のシリコンウェーハの製造が可能となった。

【0038】

【発明の効果】以上説明したように、本発明によれば、PBS処理前に800～1100℃の温度範囲で30～1200分の時間範囲で熱処理を施すことにより、低BMD密度のシリコンウェーハの製造が可能となった。

【0039】さらに、従来、酸素濃度が高い（およそ $14 \times 10^{17} \text{ atoms/cc}$ ）ために強度的に強いという大きなメリットがありながらPBS処理によりBMDが増加し、その後のデバイスプロセス熱処理によってBMDが顕在化し、シリコンウェーハ表面近傍の完全性を悪化させてデバイスの特性を落とすとのことで基板としては使用されることの少なかったが、上述したように、これらの強度の上で優れた性質を持つ高酸素濃度のPBS付シリコンウェーハの使用をも可能となった。

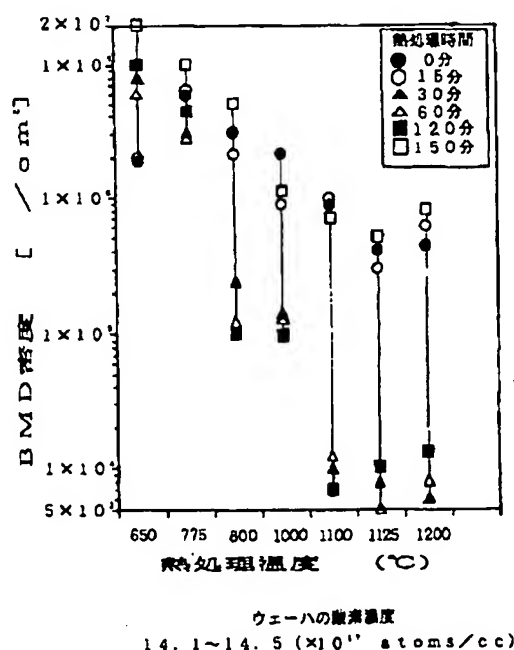
【図面の簡単な説明】

【図1】本発明に係り、PBS処理前に熱処理を施した場合の基板酸素濃度とBMD密度との関係を示す図である。

【図2】本発明に係り、BMD密度の各熱処理温度における時間依存性を示す図である。

【符号の説明】

【図2】



【図1】

